

# Архитектура

# ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ

Лекция 4.

Яревский Е.А.

Кафедра вычислительной физики

# Синхронные последовательностные схемы

При наличии циклических путей в схеме могут возникать нежелательная нестабильность или гонки.

Решение проблемы: разрыв циклических путей и добавление в разрывы регистров.

Состояние системы меняется только по фронту некоего тактового сигнала.

Состояние **синхронизировано** с тактовым сигналом.

У **синхронной последовательностной схемы** есть вход тактового сигнала, передние фронты тактовых импульсов определяют последовательность точек на временной оси, в которых происходят изменения состояния.

Термины «*текущее состояние*» и «*следующее состояние*» используются для того, чтобы различать состояние системы в настоящем от состояния системы, в которое она перейдет по фронту следующего тактового импульса. Функциональное описание определяет следующее состояние и значение каждого выхода для каждой возможной комбинации текущих состояний и входных сигналов.

# Синхронные последовательностные схемы

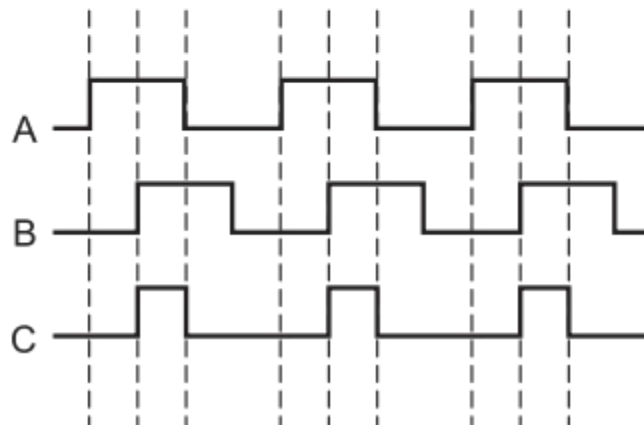
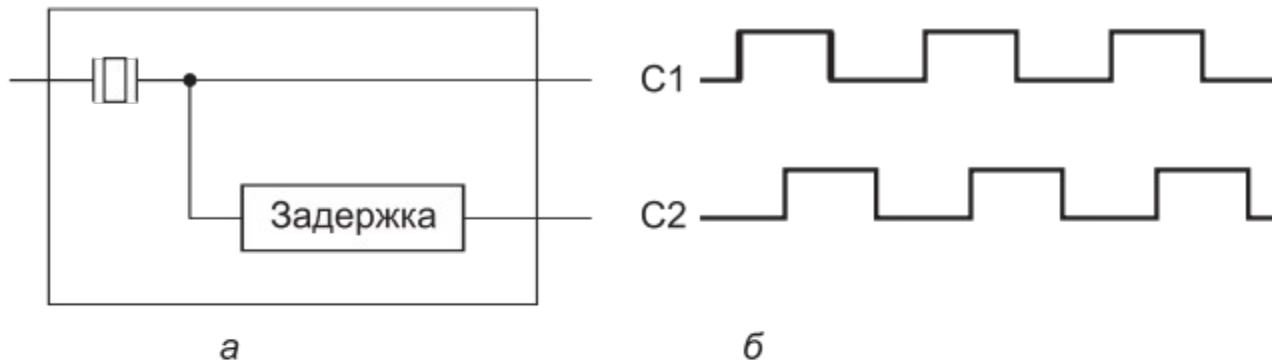
- Схема является **синхронной** последовательностной схемой, если
- каждый элемент схемы является либо регистром, либо комбинационной схемой.
  - как минимум один элемент схемы является регистром.
  - все регистры тактируются единственным тактовым сигналом.
  - в каждом циклическом пути присутствует как минимум один регистр.

Определение достаточное, хотя и слишком строгое.

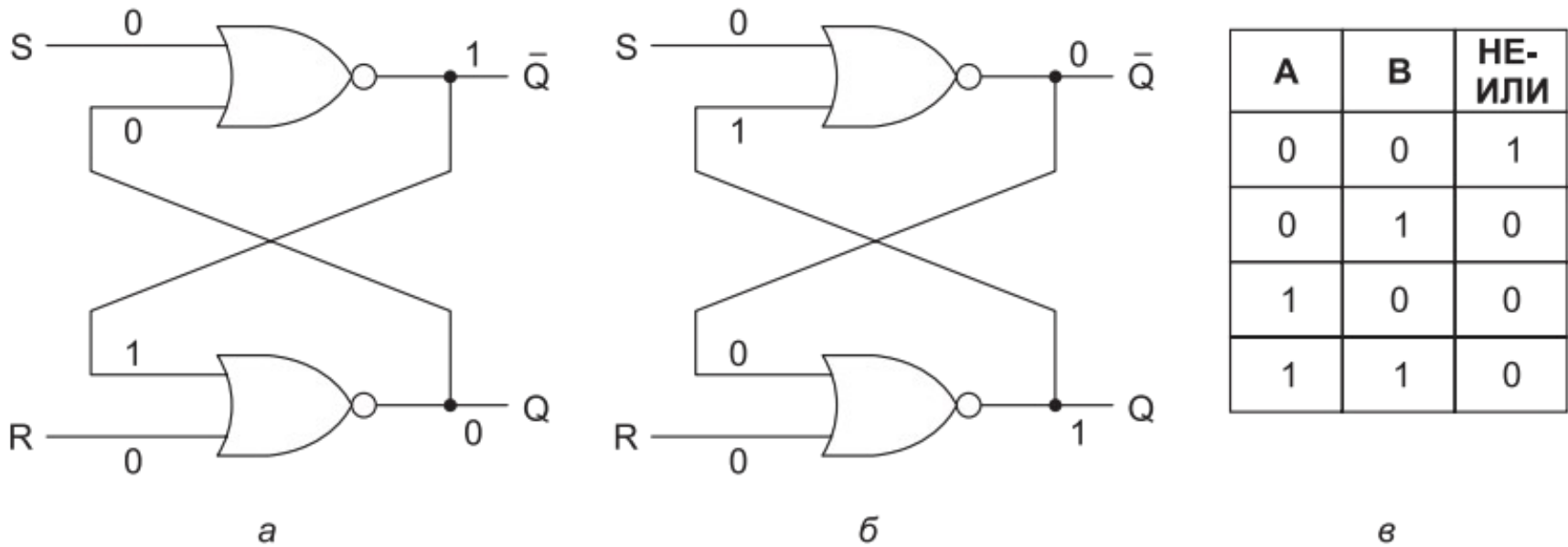
Последовательностные схемы, не являющиеся синхронными, называют **асинхронными**.

# Тактовые генераторы

**Тактовый генератор** — схема, которая производит серию импульсов. Импульсы одинаковы по длительности. Временной интервал между началом одного импульса и началом следующего называется **временем такта**. Такт часто разделяют на **подтакты**.



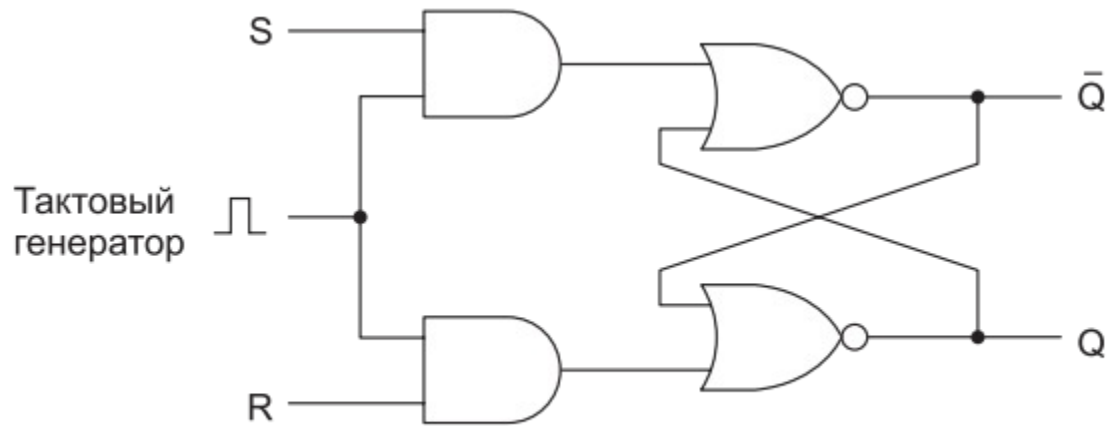
# Последовательные схемы



**Рис. 3.20.** Защелка НЕ-ИЛИ в состоянии 0 (а); защелка НЕ-ИЛИ в состоянии 1 (б);  
таблица истинности для функции НЕ-ИЛИ (в)

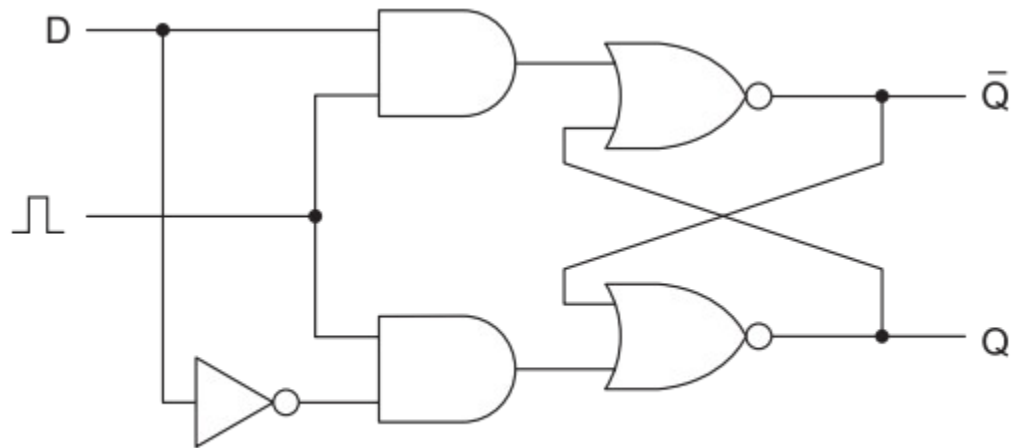
SR-защелка (latch). SR-триггер.

# Синхронные защелки



**Рис. 3.21.** Синхронная SR-защелка

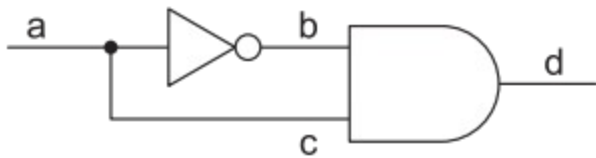
Состояние может меняться только в определенные моменты времени.



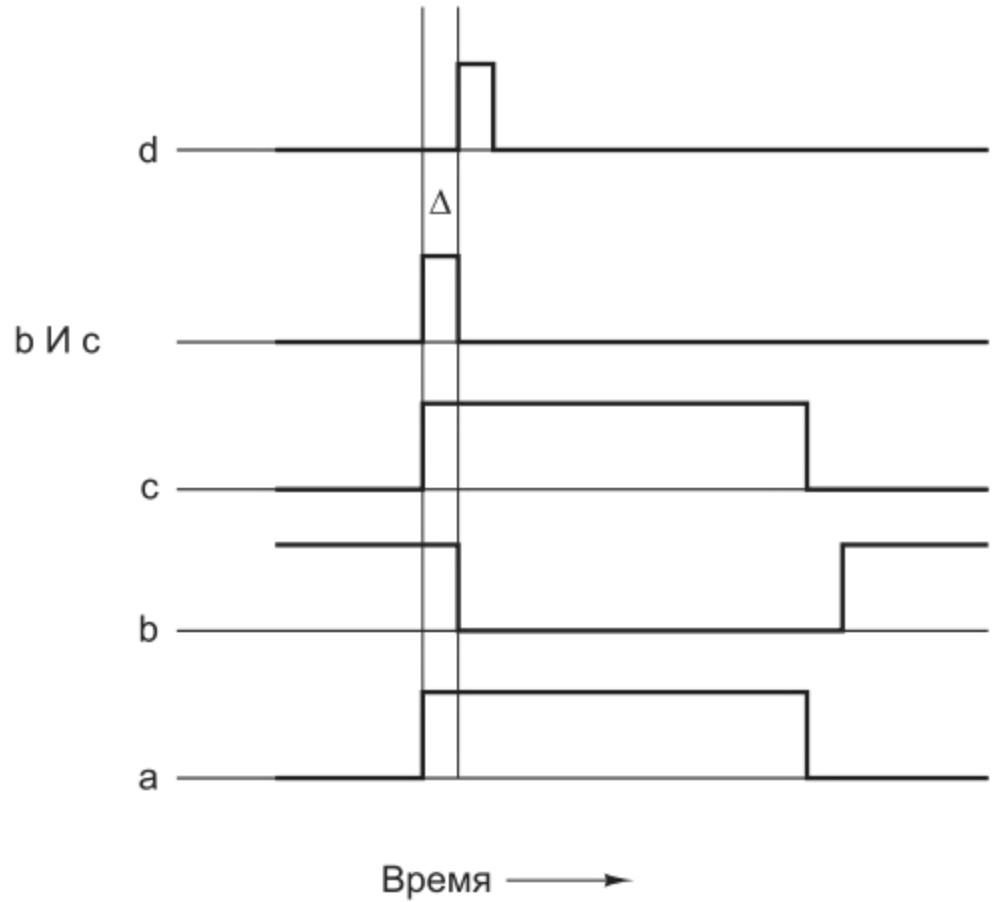
**Рис. 3.22.** Синхронная D-защелка

# Триггеры (Т-триггеры rus)

**Триггер** запускается перепадом сигнала, а **защелка** запускается уровнем сигнала.

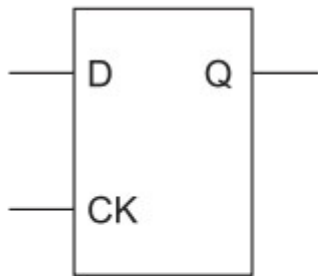
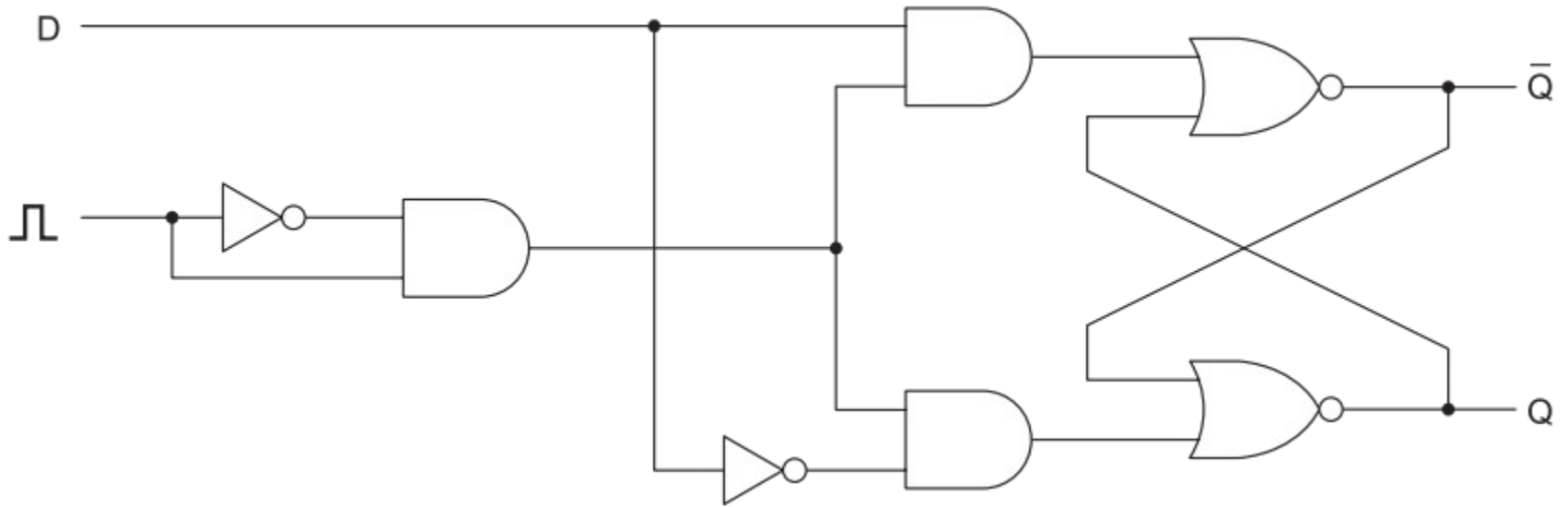


*a*

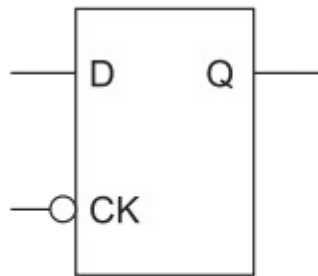


*б*

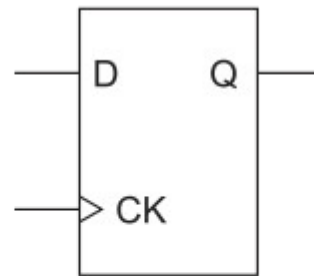
# Триггеры (Т-триггеры rus)



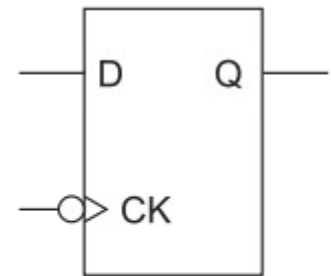
а



б



в

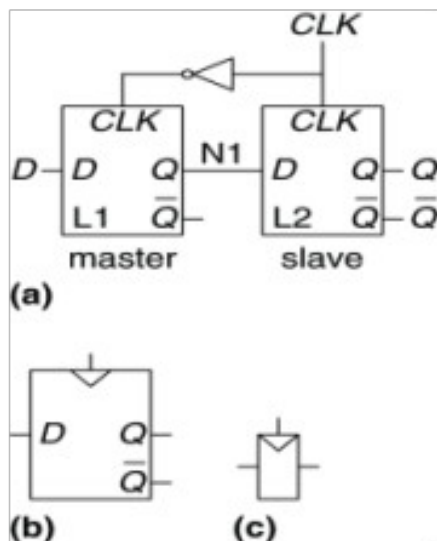


г

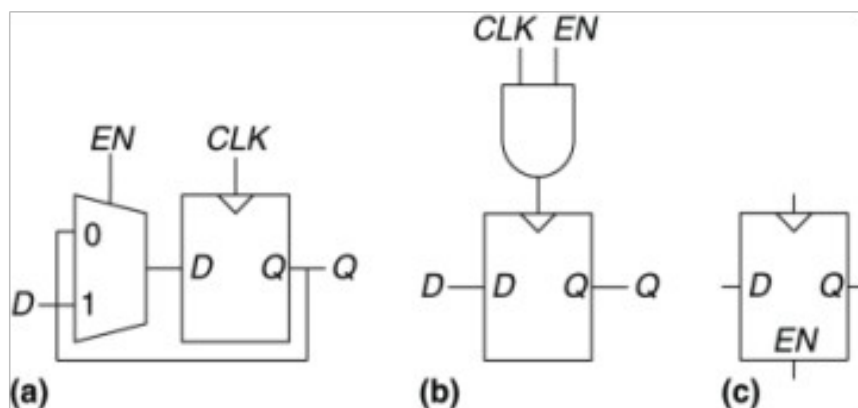
Рис. 3.25. D-защелки и D-триггеры



# MS-триггер

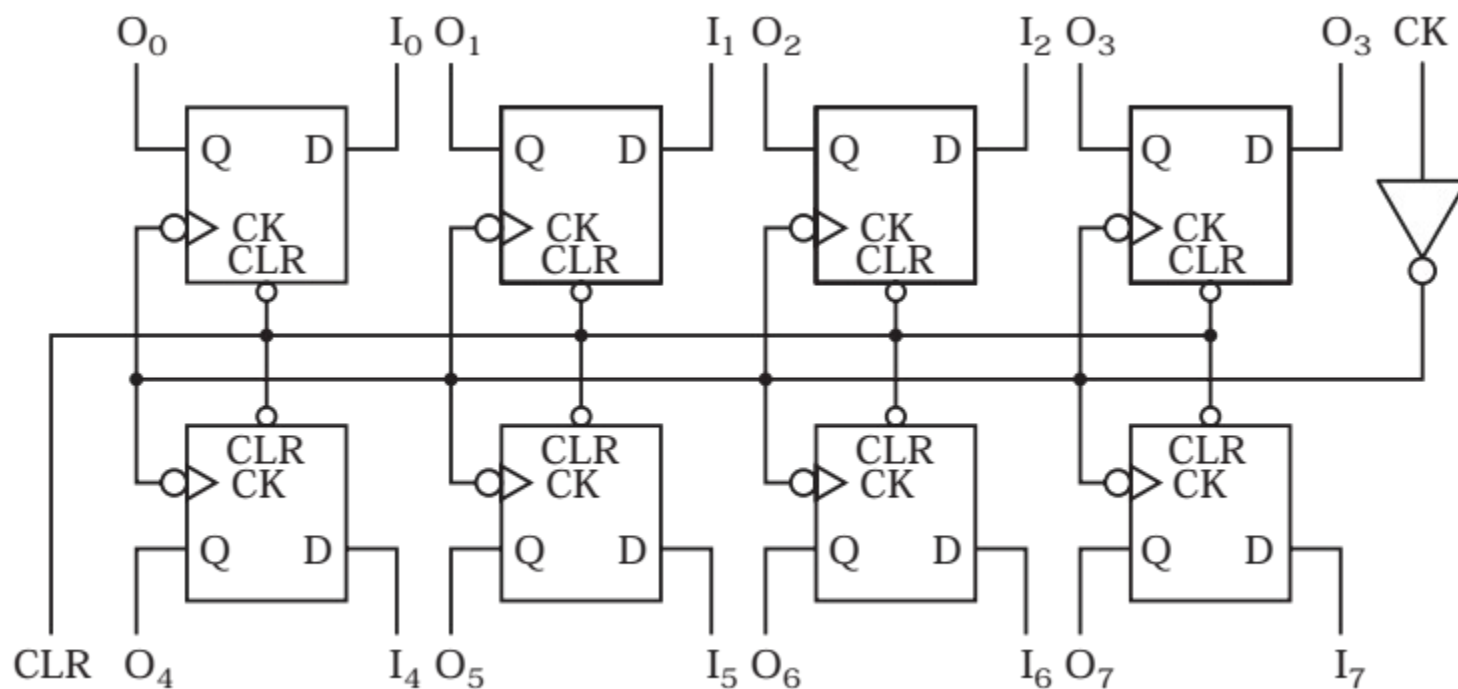


**Рис. 3.8** D-триггер: (а) схема, (b) обозначение, (c) упрощенное обозначение



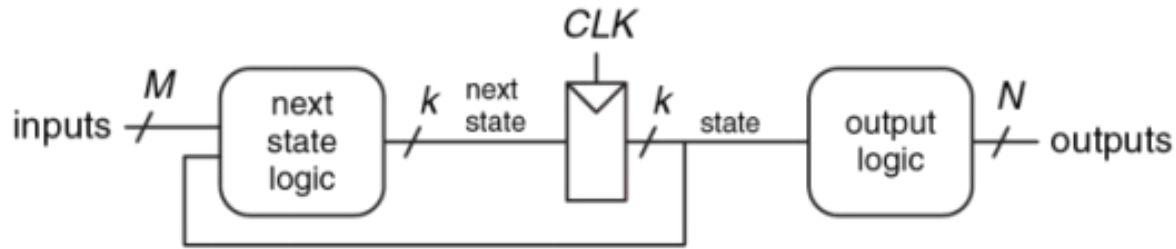
**Рис. 3.10** Триггер с функцией разрешения (а,б) схемы, (c) обозначение

# Регистры

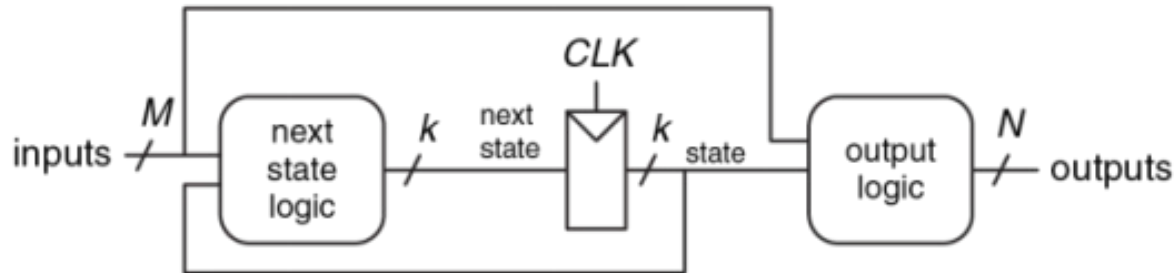


**Рис. 3.26.** 8-разрядный регистр, построенный из одноразрядных триггеров

# Конечные автоматы



(a)



(b)

**Рис. 3.22** Конечные автоматы: (a) автомат Мура (b) автомат Мили

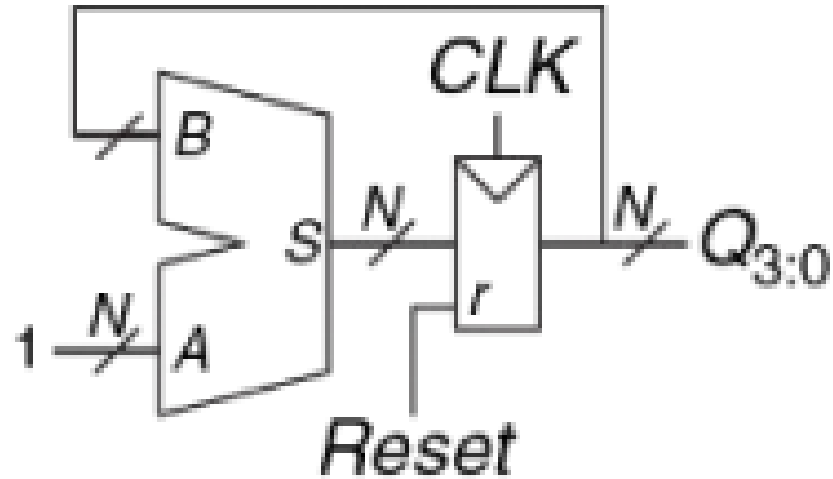
Предложены в 1955/56 годах.

$M$  входов,  $N$  выходов,  $2^k$  состояний (конечное число!).

Диаграмма переходов.

Кодирование состояний.

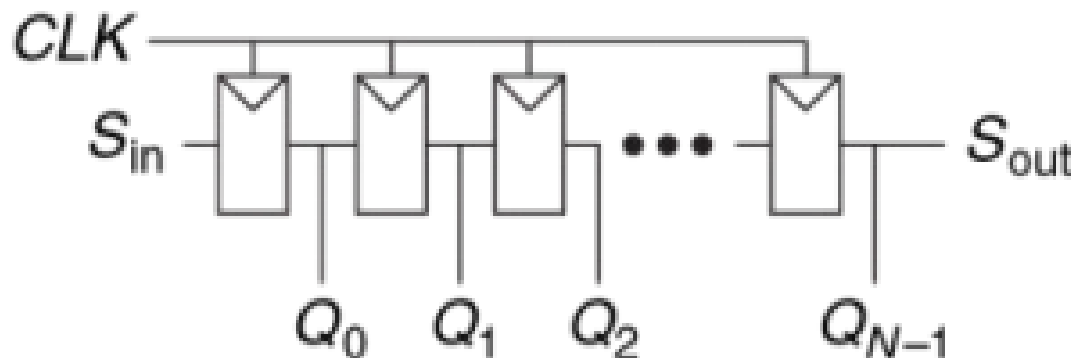
# Счетчики



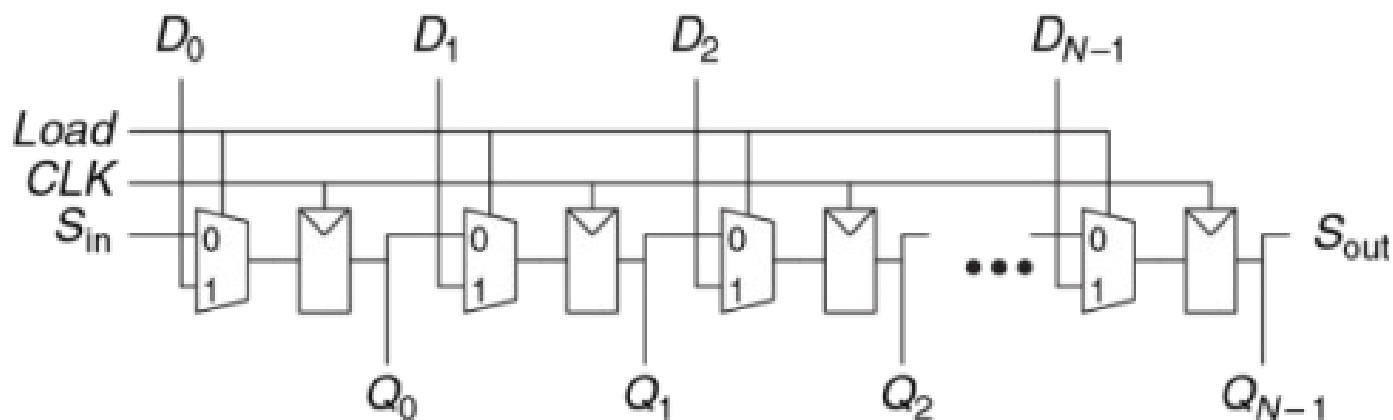
**Рис. 5.31** N-битовый счетчик

Делители частоты.

## Сдвигающий регистр



**Рис. 5.34** Схема сдвигающего регистра



**Рис. 5.35** Сдвигающий регистр с параллельной загрузкой

# Организация памяти

Матрицы памяти представляют собой набор запоминающих элементов, каждый из которых хранит один бит данных.

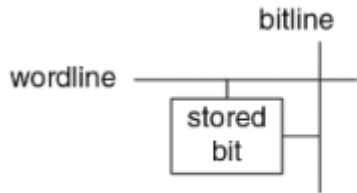


Рис. 5.41 Запоминающий элемент

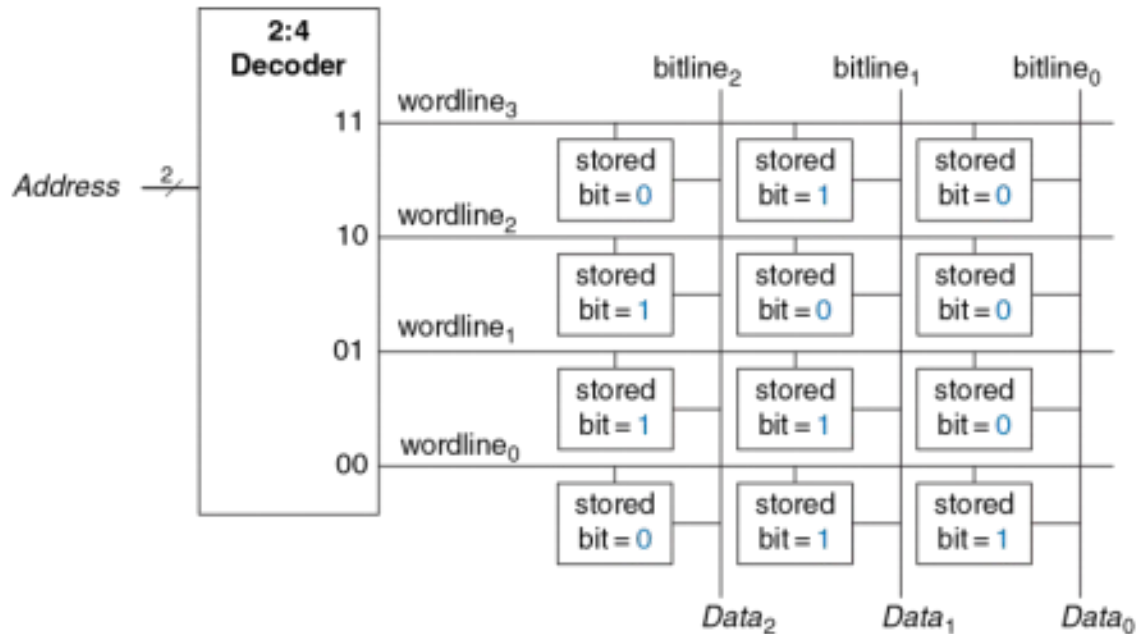


Рис. 5.42 Матрица памяти 4 × 3

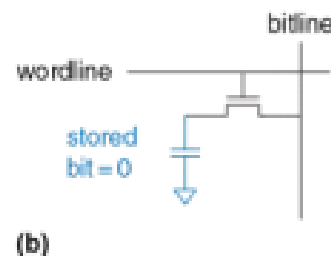
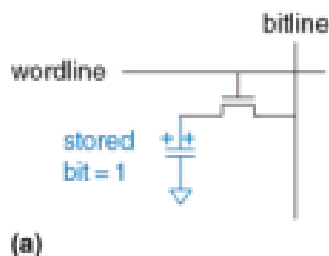
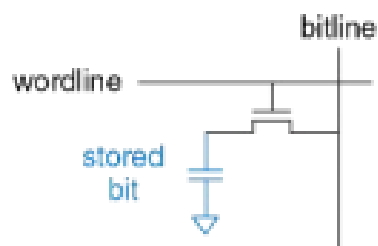


# Типы памяти

Способы хранения:

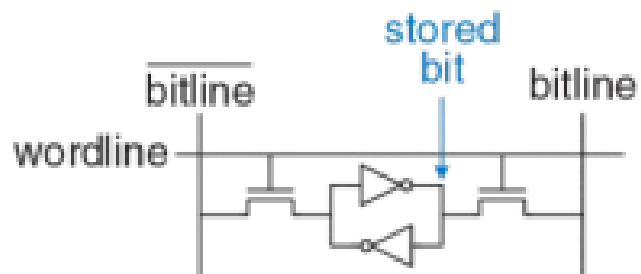
- оперативные запоминающие устройства (ОЗУ, RAM). Энергозависимые.
- постоянные запоминающие устройства (ПЗУ, ROM). Энергонезависимые.

Типы ОЗУ: динамические (DRAM) и статические (SRAM).



**Рис. 5.44** Запоминающий элемент динамического ОЗУ

**Рис. 5.45** Хранение данных в динамическом ОЗУ



**Рис. 5.46** Запоминающий элемент статического ОЗУ



# Типы памяти

Табл. 5.4 Сравнение типов памяти

Тип памяти	Количество транзисторов в запоминающем элементе	Задержка
Триггер	~20	Малая
Статическое ОЗУ	6	Средняя
Динамическое ОЗУ	1	Большая

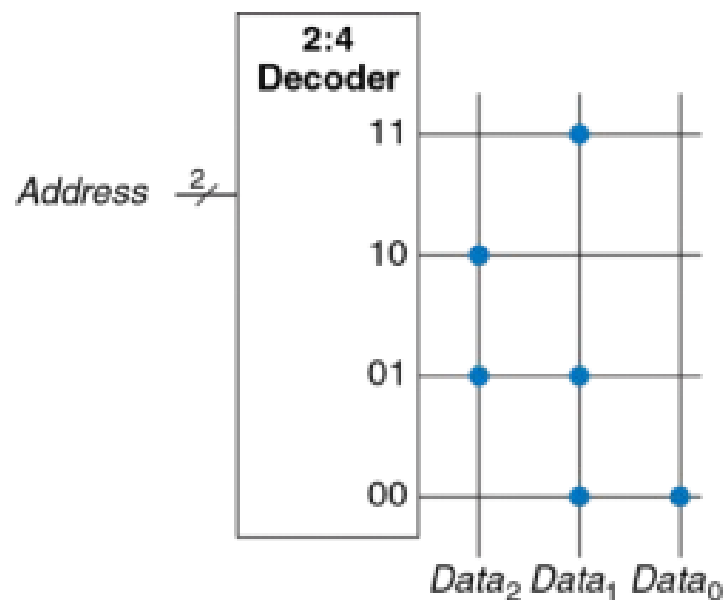
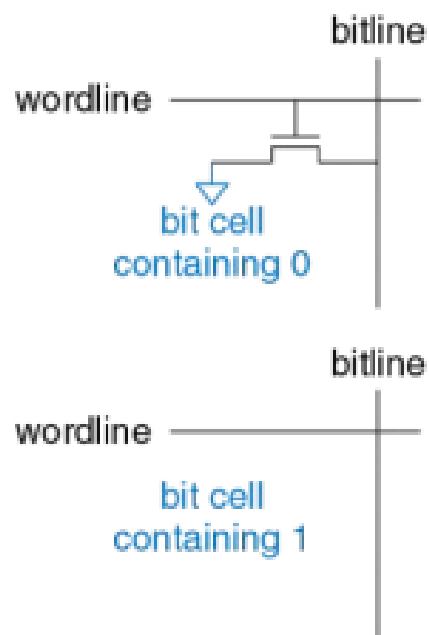


Рис. 5.48 Запоминающие элементы ПЗУ, содержащие 0 и 1

Рис. 5.49 ПЗУ 4 × 3: точечная нотация

# Реализация логических функций с использованием матриц памяти

Матрицы памяти, которые реализуют логические функции, называются таблицами преобразований (**lookup tables, LUT**).

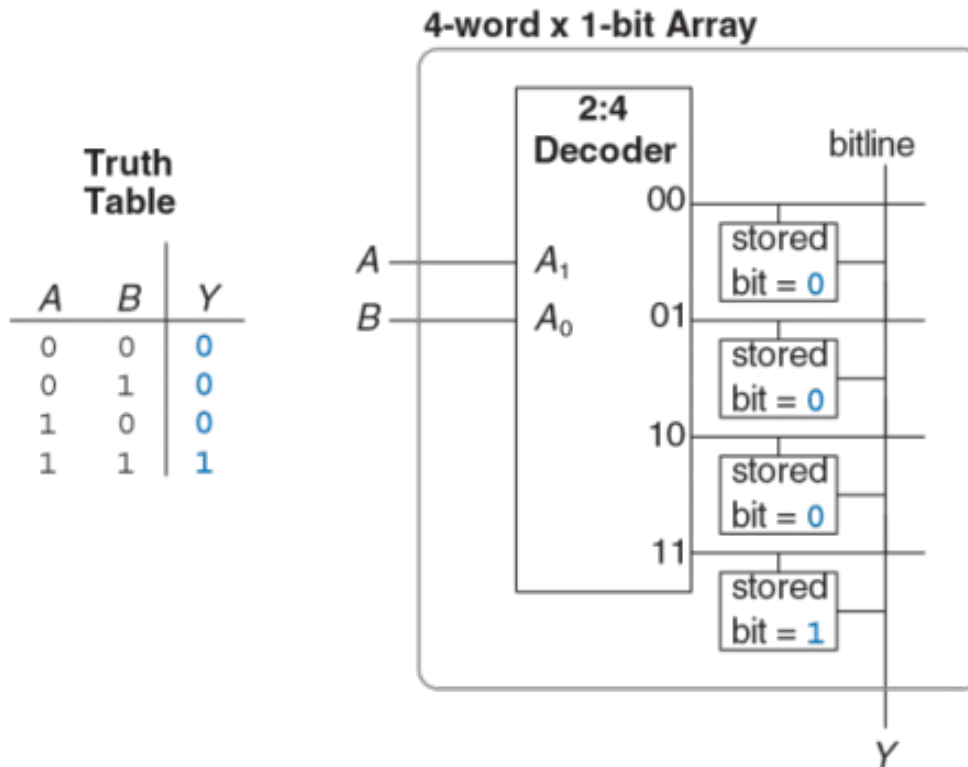


Рис. 5.52 Матрица 4-слова × 1-бит с использованием таблицы преобразования

# Матрицы логических элементов

Два типа матриц логических элементов:

- программируемая логическая матрица (programmable logic arrays, ПЛМ, PLA),
- программируемая пользователем матрица логических элементов (field programmable gate arrays, ППМЛЭ, FPGA).

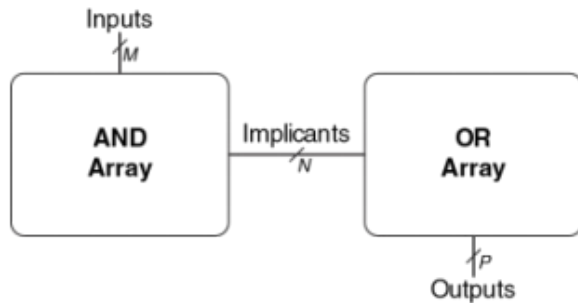


Рис. 5.54 Программируемая логическая матрица (PLA)  $M \times N \times P$ -бит

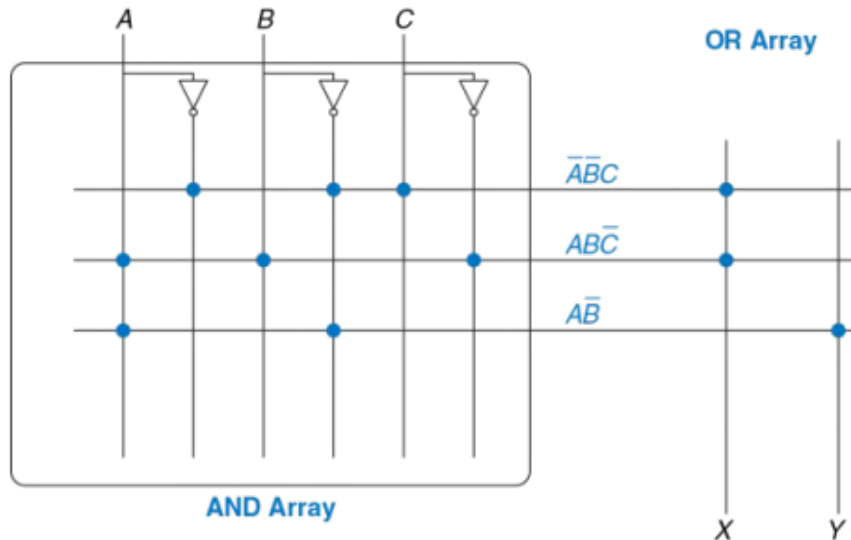


Рис. 5.55 Программируемая логическая матрица (PLA)  $3 \times 3 \times 2$ -бит: точечная нотация

# FPGA

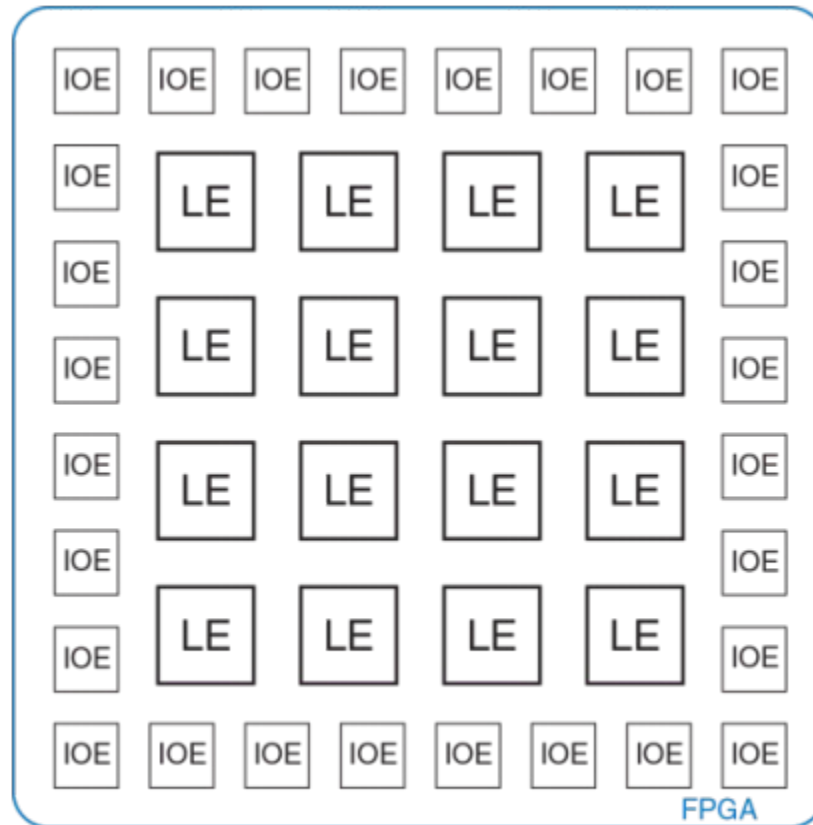
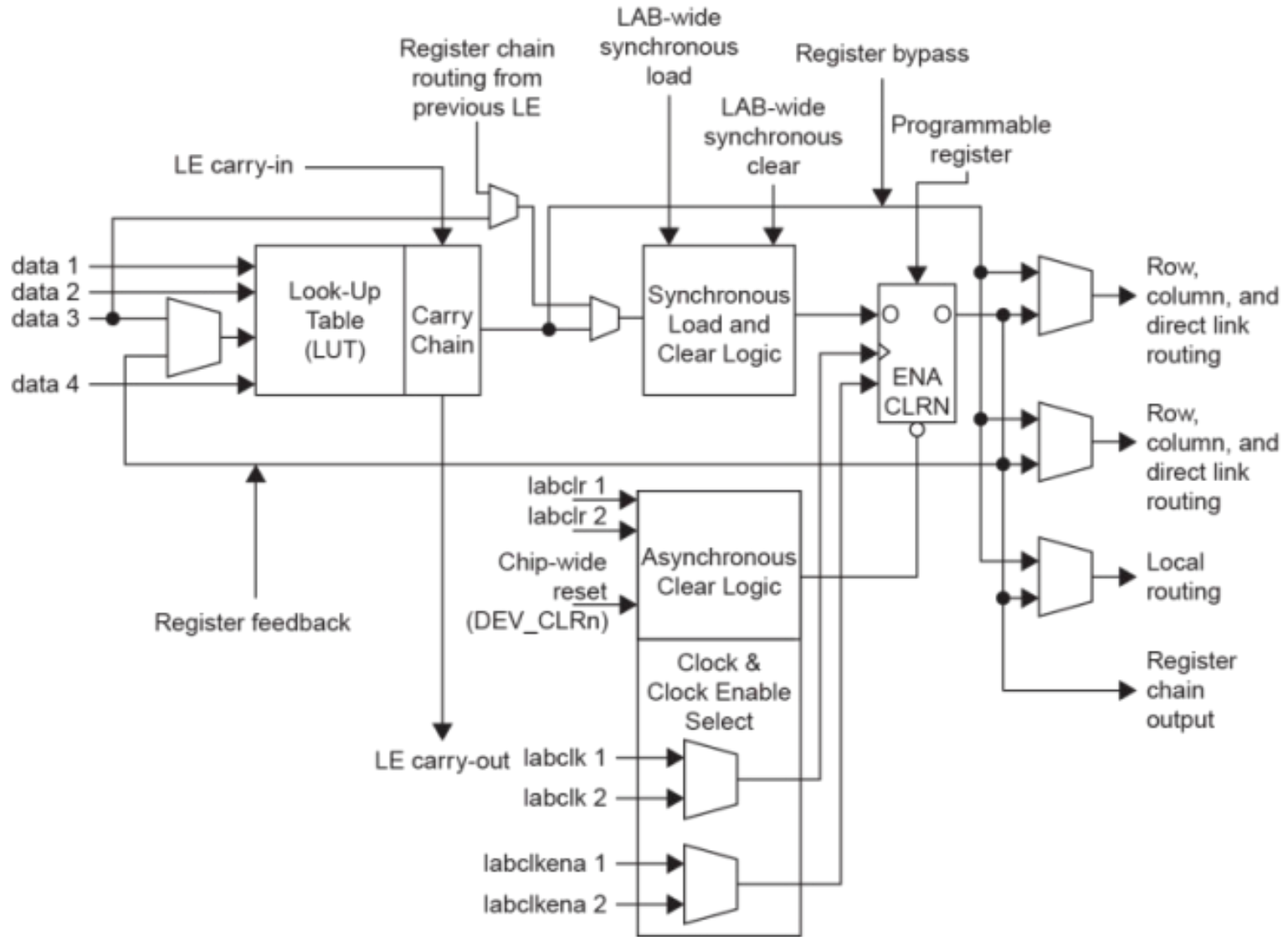


Рис. 5.57 Обобщенная структура FPGA

# FPGA



**Рис. 5.58 Cyclone IV Logic Element (LE)**

В этой FPGA (Altera) группы из 16 LE объединены в блок логических матриц (logic array block, LAB). LE FPGA Cyclone IV можно реализовать одну функцию четырех (или менее) входов, причем она может быть комбинационной или последовательностной.