




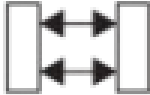
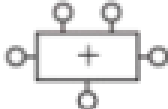
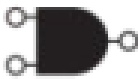


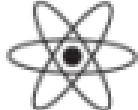
# Архитектура

# ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ

## Лекция 2.

Яревский Е.А.

Кафедра вычислительной физики

Application Software		Programs
Operating Systems		Device Drivers
Architecture		Instructions Registers
Micro-architecture		Datapaths Controllers
Logic		Adders Memories
Digital Circuits		AND Gates NOT Gates
Analog Circuits		Amplifiers Filters
Devices		Transistors Diodes
Physics		Electrons

**Рис. 1.1** Уровни абстракции

# Базовые принципы конструирования

- **Иерархичность** – принцип иерархичности предполагает разделение системы на отдельные модули, а затем последующее разделение каждого такого модуля на фрагменты до уровня, позволяющего легко понять поведение каждого конкретного фрагмента.
- **Модульность** – принцип модульности требует, чтобы каждый модуль в системе имел четко определенную функциональность и набор интерфейсов и мог быть легко и без непредвиденных побочных эффектов соединен с другими модулями системы.
- **Регулярность** – принцип регулярности требует соблюдения единообразия при проектировании отдельных модулей системы. Стандартные модули общего назначения, например, такие как блоки питания, могут использоваться многократно, во много раз снижая количество модулей, необходимых для разработки новой системы.

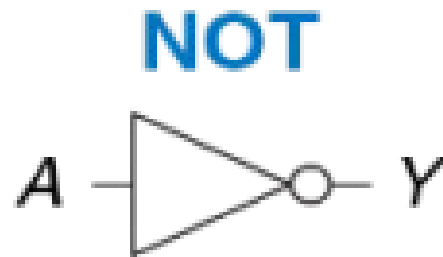
# Логические элементы (логические вентили, logic gates)

---

**Логические вентили** – простейшие цифровые схемы, получающие один или более двоичных сигналов на входе и производящие новый двоичный сигнал на выходе.

Взаимосвязь между входными сигналами и выходным сигналом логического вентиля может быть описана с помощью **таблицы истинности** (truth table) или **уравнением** Булевой логики.

# Логический вентиль НЕ



$$Y = \bar{A}$$

A	Y
0	1
1	0

**Рис. 1.12** Вентиль НЕ

# Буфер

**BUF**

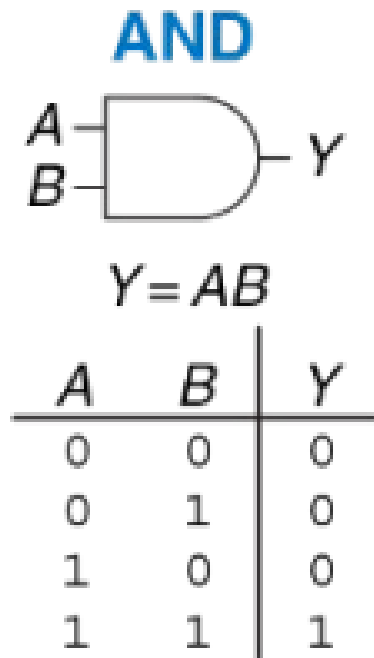


$$Y = A$$

A	Y
0	0
1	1

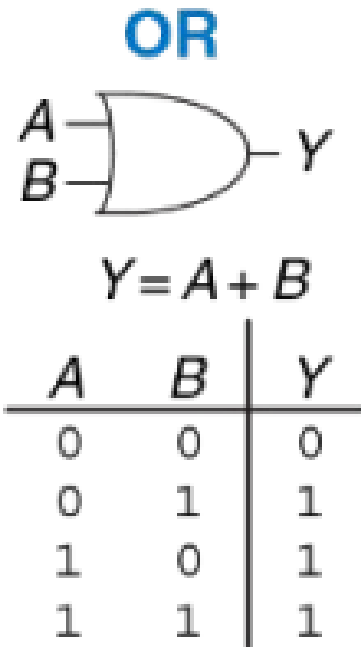
**Рис. 1.13** Буфер

# Логический вентиль И



**Рис. 1.14** Вентиль И

# Логический вентиль ИЛИ



**Рис. 1.15** Вентиль ИЛИ



# Другие логические элементы с двумя входными сигналами

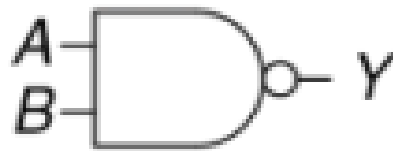
## XOR



$$Y = A \oplus B$$

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

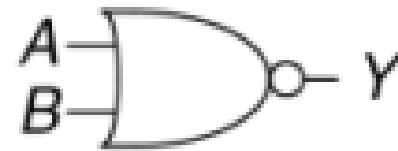
## NAND



$$Y = \overline{AB}$$

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

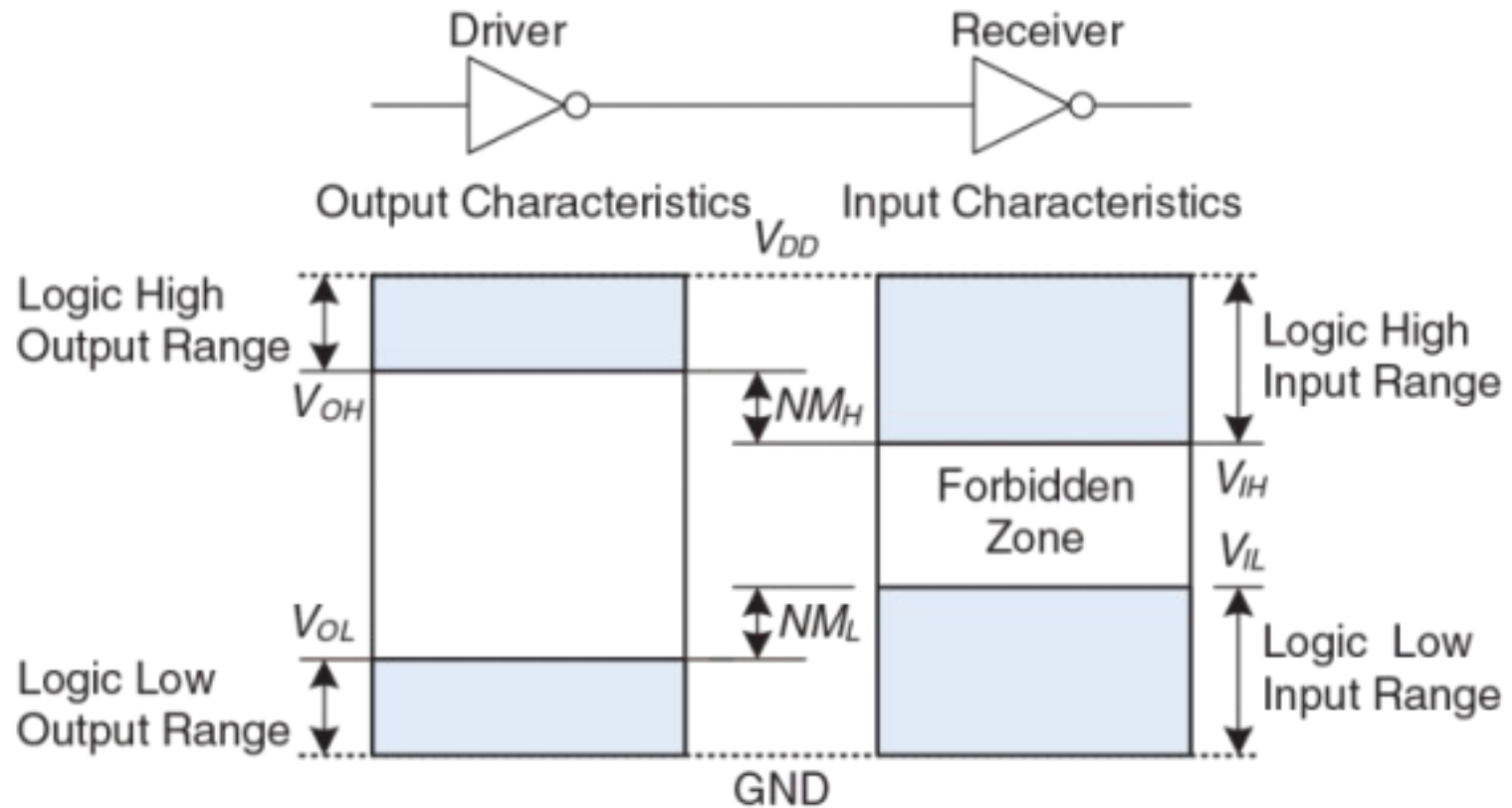
## NOR



$$Y = \overline{A+B}$$

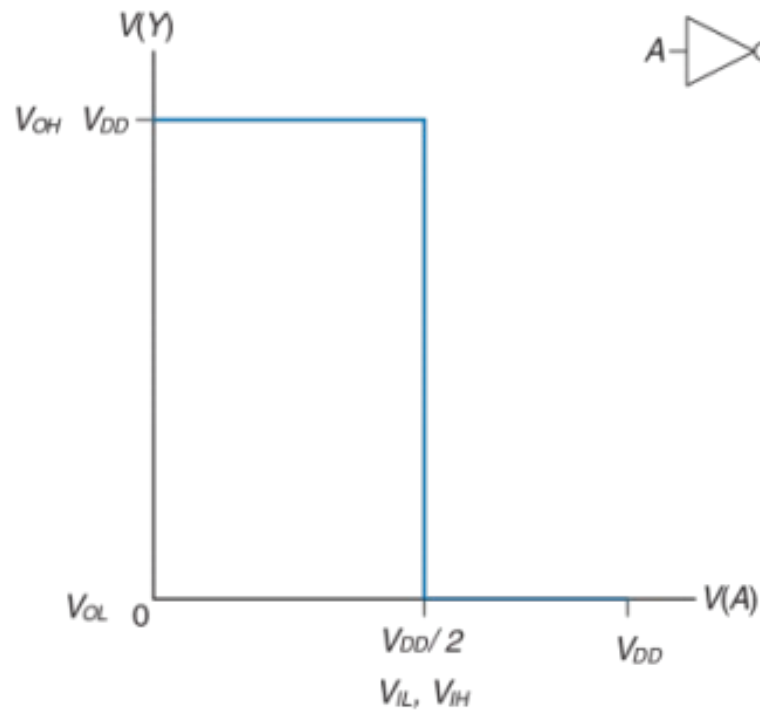
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

# Логические уровни: техническая реализация

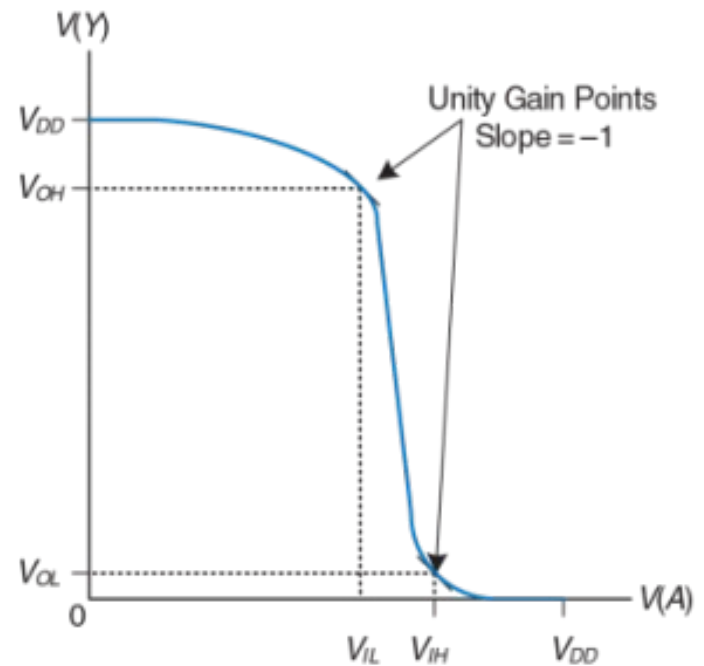


**Рис. 1.23** Логические уровни и уровни шума

# Передаточная характеристика



(a)



(b)

# Статическая дисциплина

---

Принцип статической дисциплины требует, чтобы при условии наличия логически корректных сигналов на входе каждый элемент системы выдавал логически корректные сигналы на выходе.

**Логические вентили** обычно группируются в семейства логики (logic families) таким образом, что любой элемент из одного семейства при соединении с любым другим элементом из этого же семейства автоматически обеспечивает соблюдение принципа статической дисциплины.

# Семейства логики

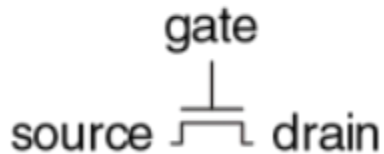
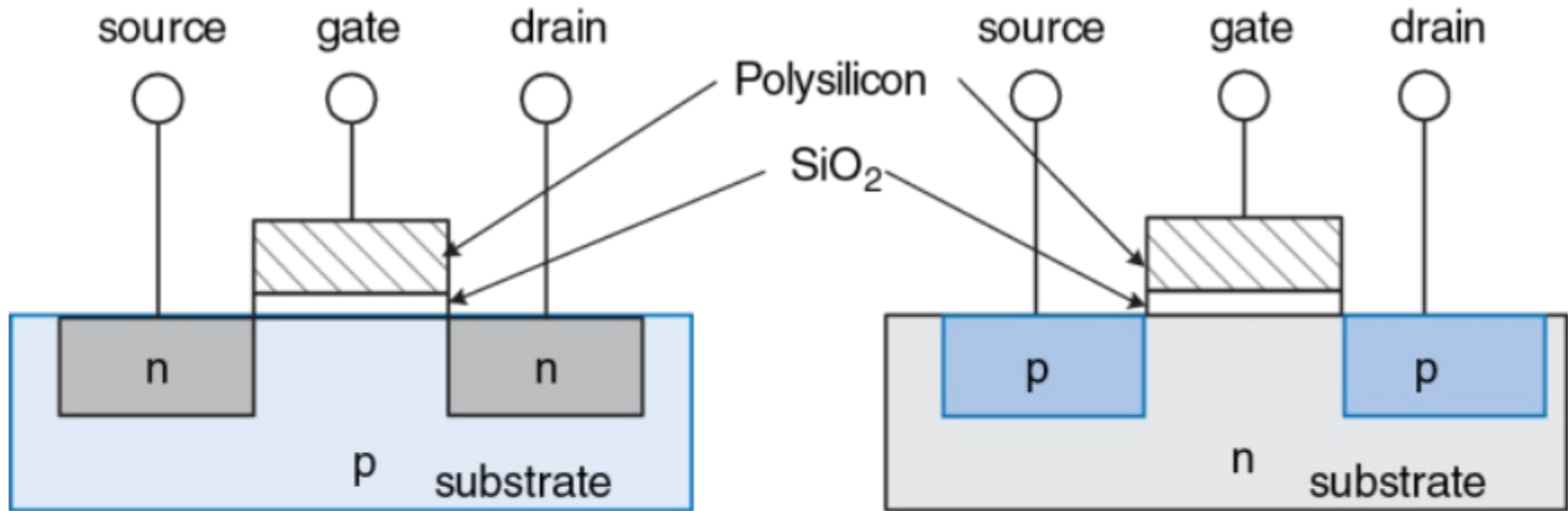
Четыре основные семейства логических вентилях:

1. **ТТЛ** – транзисторно-транзисторная логика (Transistor-Transistor Logic, или TTL);
2. **КМОП** – логика, построенная на комплементарной структуре металл-оксид-полупроводник (Complementary Metal-Oxide-Semiconductor Logic, или CMOS);
3. **НТТЛ** – низковольтная транзисторно-транзисторная логика (Low-Voltage Transistor-Transistor Logic, или LVTTL);
4. **НКМОП** – низковольтная логика на комплементарной структуре металл-оксид-полупроводник (Low-Voltage Complementary Metal-Oxide-Semiconductor Logic, или LVCMOS).

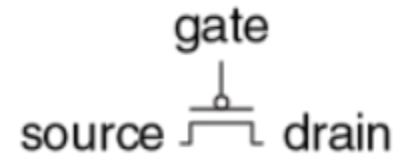
**Табл. 1.4 Семейства логики с уровнями напряжения 5 В и 3,3 В**

Семейство логики	$V_{DD}$	$V_{IL}$	$V_{IH}$	$V_{OL}$	$V_{OH}$
TTL	5 (4,75 – 5,25)	0,8	2,0	0,4	2,4
CMOS	5 (4,5 – 6)	1,35	3,15	0,33	3,84
LVTTL	3.3 (3 – 3,6)	0,8	2,0	0,4	2,4
LVCMOS	3.3 (3 – 3,6)	0,9	1,8	0,36	2,7

# Полевые МОП транзисторы

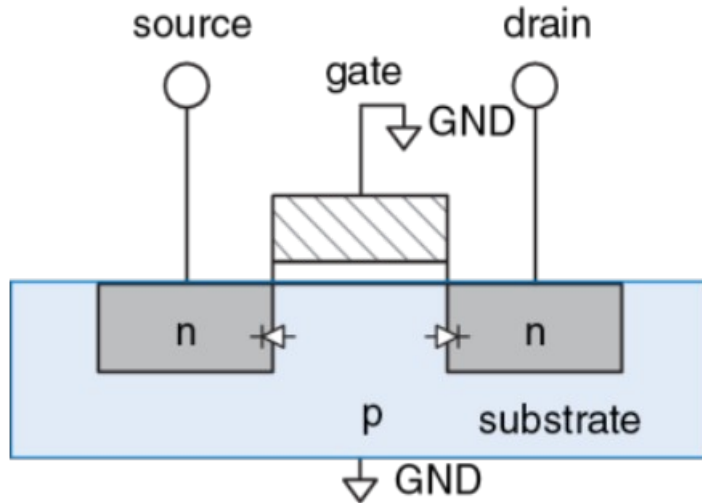


**(a)** nMOS

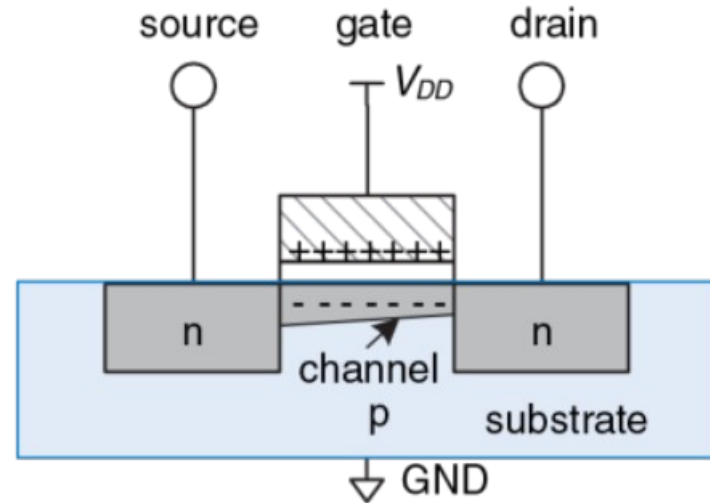


**(b)** pMOS

# Полевые МОП транзисторы



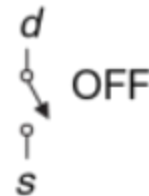
(a)



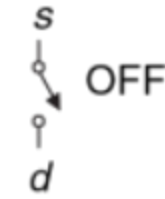
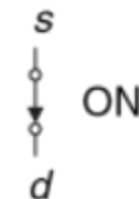
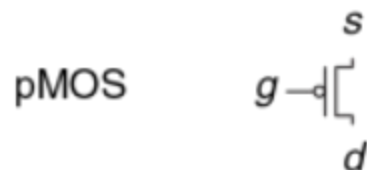
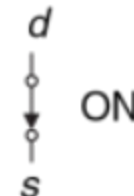
(b)



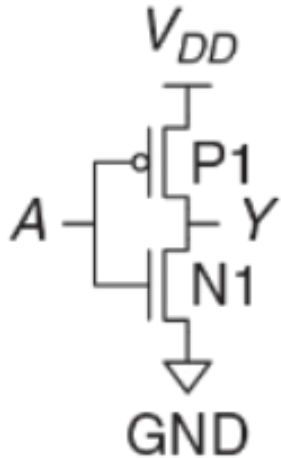
$g = 0$



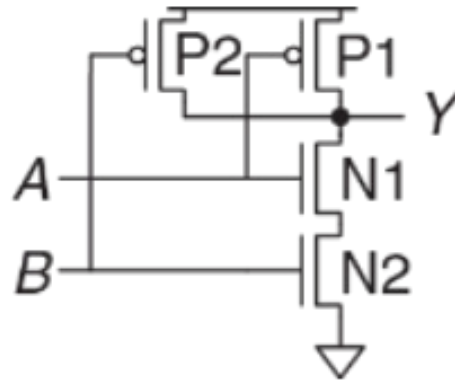
$g = 1$



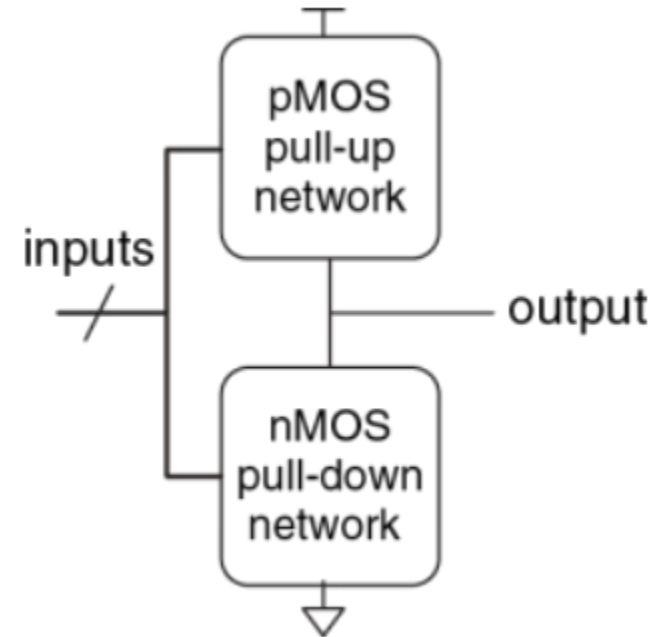
# Логические вентили на КМОП-транзисторах



**Рис. 1.32** Схема вентиля НЕ



**Рис. 1.33** Схема вентиля И-НЕ с двумя входами





# Цифровые схемы

«Черный ящик», имеющий

- один или более дискретных входов;
- один или более дискретных выходов;
- функциональную спецификацию (functional specification), описывающую взаимосвязь между входами и выходами;
- временную спецификацию (timing specification), описывающую задержку между изменением сигналов на входе и откликом выходного сигнала.

Разделяются на **комбинационные** (combinational)

- выход зависит только от текущих состояний входов

и **последовательные** (sequential)

- значения выходов зависят и от текущих, и от предыдущих значений на входах (память!).

# Логические (булевы) функции

---

Представление функций:

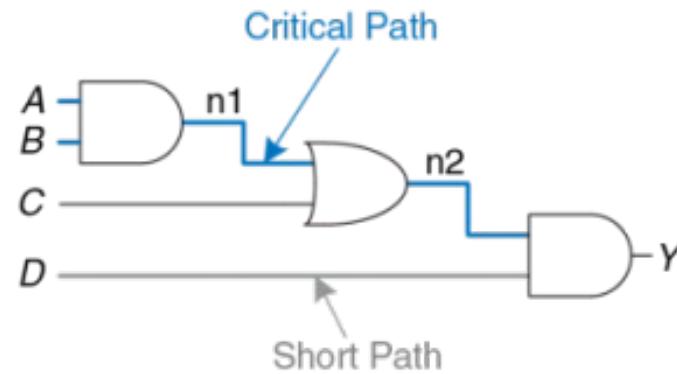
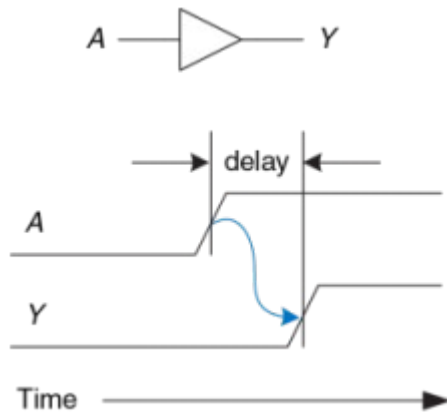
- таблица истинности;
- алгебраическая нормальная форма;
- дизъюнктивная нормальная форма. Двухуровневая логика;
- конъюнктивная нормальная форма.

Карты Карно, код Грея.

Третье состояние Z.

# Временные задержки

Задержка распространения и задержка реакции.



Импульсные помехи.

A 1 0

B 1 1

C 0 0

D 0 1

Y 0 0